



대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

특허출원 2000년 제 59217 호
PATENT-2000-0059217

출원 년 월 일 :
Date of Application

2000년 10월 09일
OCT 09, 2000

출원 인 :
Applicant(s)

주식회사 하이닉스반도체
Hynix Semiconductor Inc.

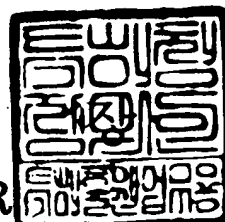
CERTIFIED COPY OF
PRIORITY DOCUMENT



2001 년 09 월 11 일

특 허 청

COMMISSIONER



출력 일자: 2001/9/13

【서지사항】

【서류명】 출원인정보변경 (경정)신고서
【수신처】 특허청장
【제출일자】 20010417

【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 119980045698

【대리인】
【성명】 특허법인 신성 정지원
【대리인코드】 920000002923

【변경사항】
【변경항목】 한글 성명(명칭)
【변경전】 현대전자산업주식회사
【변경후】 주식회사 하이닉스반도체

【변경사항】
【변경항목】 영문 성명(명칭)
【변경전】 HYUNDAI ELECTRONICS IND. CO.,LTD
【변경후】 Hynix Semiconductor Inc.

【변경사항】
【변경항목】 인감
【변경전】
【변경후】

【취지】 특허법시행규칙 제9조·실용신안법시행규칙 제12조·
의장법시행규칙 제28조 및 상표법시행규칙 제23조의
규정에 의하여 위와 같이 신고합니다.

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0004
【제출일자】 2000.10.09
【발명의 명칭】 I M T -2000 시스템내 A T M 교환기에서의 D B W
R R 셀 스케줄링 장치 및 방법
【발명의 영문명칭】 DBWRR CELL SCHEDULING DEVICE AND METHOD THEREOF
IN IMT-2000 ATM SWITCH
【출원인】
【명칭】 현대전자산업주식회사
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 김 학 제
【대리인코드】 9-1998-000041-0
【포괄위임등록번호】 1999-005190-0
【대리인】
【성명】 문 해 정
【대리인코드】 9-1998-000192-1
【포괄위임등록번호】 1999-005189-7
【발명자】
【성명의 국문표기】 김대식
【성명의 영문표기】 KIM,DAE SIK
【주민등록번호】 630515-1474221
【우편번호】 151-061
【주소】 서울특별시 관악구 봉천11동 178-26
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조
의 규정에 의한 출원심사 를 청구합니다. 대리인
김 학 제 (인) 대리인
문 해 정 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	17	면	17,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	11	항	461,000	원
---------	----	---	---------	---

【합계】	507,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】

【요약】

본 발명은 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 장치 및 방법, 더욱 상세하게는 고속의 ATM 교환기에서 실시간 트래픽의 셀 전송 지연 요구사항을 만족시킴과 동시에 프로세싱 오버헤드를 최소화할 수 있도록 해주는 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 장치 및 방법에 관한 것으로서, 본 발명에 의한 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 장치 및 방법에 의하면, 각 링크의 입력 버퍼로 들어오는 셀들을 ATM 스케줄링 주기에 따라 링크별로 그룹화하여 관리해 줌으로써 셀 단위로 관리하는 종래 WRR/DRR 셀 스케줄링 방식에 비해 프로세싱 오버헤드를 줄일 수 있고, 그 뿐만 아니라 입력 버퍼에 저장된 셀중에서 입력 버퍼에서의 대기시간이 셀 전송 지연을 초과한 셀들에 대해 폐기 처분해 줌으로써 다른 셀들이 셀 전송 지연 요구사항을 위반하게 될 확률을 줄여주며, 이로인해 결과적으로 불필요한 자원낭비를 방지할 수 있도록 해준다는 뛰어난 효과가 있다

【대표도】

도 3

【색인어】

IMT-2000 시스템, ATM 셀 스케줄링, DRR 스케줄링, WRR 스케줄링, ATM 교환기, 입력 버퍼, 출력 버퍼, 큐잉 모듈, ATM 처리부,

【명세서】

【발명의 명칭】

IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치 및 방법{DBWRR CELL SCHEDULING DEVICE AND METHOD THEREOF IN IMT-2000 ATM SWITCH}

【도면의 간단한 설명】

도 1은 일반적인 IMT-2000 시스템의 ATM 네트워크 환경을 나타낸 도면,

도 2는 종래 이동통신 교환기 시스템에 적용된 DDR 셀 스케줄링 장치의 구성을 나타낸 기능블록도,

도 3은 본 발명의 일 실시예에 따른 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치의 구성을 나타낸 기능블록도,

도 4는 본 발명의 일 실시예에 따른 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 방법을 나타낸 동작플로우차트,

도 5는 도 4에 따른 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 방법을 설명하기 위한 참조도면이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 입력 버퍼

200 : 큐잉 모듈

300 : ATM 셀 스케줄링 테이블

310 : ATM 셀 스케줄링 저장영역

311 : 인덱스 영역

312 : 셀 갯수 영역

313 : 허용주기 영역

314 : 예비 카운터 저장영역

400 : ATM 처리부

500 : 먹스

600 : 출력 버퍼

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 I M T(International Mobile Telecommunication; 이하 IMT라 칭함.)-2000 시스템(System)내 A T M(Asynchronous Transfer Mode; 이하 ATM이라 칭함.) 교환기에서의 D B W R R(Delay Bound Weighted Round Robin; 이하 DBWRR이라 칭함.) 셀 스케줄링(Cell Scheduling) 장치 및 방법에 관한 것으로, 더욱 상세하게는 고속의 ATM 교환기에서 실시간 트래픽(Traffic)의 셀 전송 지연 요구사항을 만족시킴과 동시에 프로세싱 오버헤드를 최소화할 수 있도록 해주는 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 장치 및 방법에 관한 것이다.

<14> 주지하다시피, 상술한 본 발명은 도 1에 도시한 바와 같은 일반적인 IMT-2000 시스템의 ATM 네트워크 환경중에서 ATM 교환기(1000)에 적용되는 트래픽 셀 스케줄링에 관한 발명이다.

- <15> 얼마전까지는 ATM 망을 통해 기존 전화급 음성 및 팩스 등의 POTS(Plain Old Telephone service) 서비스를 제공하기 위한 연구가 경제적, 기술적 문제로 인해 많은 관심을 끌지는 못했다.
- <16> 그러나, 최근들어서는 ATM을 주 기술로 사용하는 IMT-2000 시스템의 발전과 더불어, 주로 업무용 가입자들을 대상으로 ATM WAN(Wide Area Network)/LAN(Local Access and Network)상에 음성 서비스를 통합 수용하기 위한 통합 솔루션의 지향 요구가 증대되면서 ATM 망을 통해 셀 전송방식의 연구가 활발해지고 있다.
- <17> 이때, IMT-2000 시스템에서 사용되는 VTOA(Voice and Telephony over ATM; 이하 VTOA라 칭함.)와 같은 실시간 서비스는 정해진 지연의 최대범위(Maximum bound)를 초과하는 경우 곧바로 셀 손실을 의미하게 되므로 지연관련 서비스 품질이 특히 중요하다. ITU-T(International Telecommunication Union-Telecommunication Sector) 권고안 G.114에서는 에코 제어를 하는 연결에 대해서 최대 허용 지연 시간을 150ms, 에코 제어를 하지 않는 연결에 대해서는 최대 허용 지연 시간을 25ms정도로 권고하고 있다.
- <18> 이토록 지연에 민감한 트래픽, 특히 음성과 같은 트래픽은 다른 서비스 품질보다도 우선적으로 지연에 관련된 서비스 품질을 만족시켜 주어야 하고, 이러한 것들이 셀 스케줄링에 반영되어야 한다. 그리고, ATM은 기본적으로 고속의 셀을 처리하기 때문에 스케줄링 알고리즘이 비교적 단순해야 한다.

<19> 종래 이동통신 교환기 시스템에 적용하여 사용하는 셀 스케줄링 방법으로는 WRR(Weighted Round Robin; 이하 WRR이라 칭함.) 셀 스케줄링 방법이나 DRR(Deficit Round Robin; 이하 DRR이라 칭함.) 셀 스케줄링 방법을 많이 사용하였다.

<20> 이때, 상술한 DRR 셀 스케줄링 방법에 대해 도 2를 참조하여 설명하면 다음과 같다.

<21> 먼저, 도 2에 도시된 바와 같은 종래 이동통신 교환기 시스템에 적용된 DRR 셀 스케줄링 장치는 각각의 연결(i)에 접속된 다수개의 입력 버퍼(Buffer)(10), DC 저장용 테이블(20), 큐잉 모듈(30), 믹스(Mux)(40), 및 출력 버퍼(50)로 구성되어 있었다.

<22> 우선, 도 2의 (a)와 같은 연결(i)의 상기 입력 버퍼(10)는 가중치가 '4'이고 DC(Deficit Computer; 이하 DC라 칭함.)값은 '0'으로 초기화되어 있으며 현재 상기 입력 버퍼(10)에 쌓여 있는 셀의 수는 2개뿐이다.

<23> 따라서, 상기 큐잉 모듈(30)은 현재 상기 입력 버퍼(10)에 쌓여 있는 2개의 셀을 서비스하고 나서 자신의 가중치에서 서비스 받은 셀의 수만큼을 뺀 값을 상기 DC 저장용 테이블(20)에 저장한다.

<24> 그러면, 상기 믹스(40)는 상기 입력 버퍼(10)에서 출력된 2개의 셀을 수신 받은 후 상기 출력 버퍼(50)로 전송한다.

<25> 한편, 도 2의 (b)와 같이 설정된 가중치보다 큰 5개의 셀이 상기 입력 버퍼(10)에 쌓여 있음과 동시에 DC값 '1'이면, 상기 큐잉 모듈(30)은 가중치에 DC

값을 더해서 서비스하고 나머지를 다시 상기 DC 저장용 테이블(20)에 저장한다.
도 2의 (b)에서는 DC값 '1'이 다시 상기 DC 저장용 테이블(20)에 저장되었다.

<26> 그러나, 상술한 DRR 셀 스케줄링 방법은 연결의 지연이나 셀 손실을 고려하지 않는다. 따라서, 상술한 DRR 셀 스케줄링 방법을 IMT-2000 시스템의 VTOA에 적용하기 위해서는 데이터의 셀 전송상에 발생하는 패킷 채움지연, 전송지연, 큐잉 지연과 같은 지연을 고려한 알고리즘과 지연 요구사항을 위반한 셀들의 폐기와 관련된 공정성 측면과 함께 실시간성을 고려한 폐기 알고리즘을 도입해야 되는 문제점이 있었다.

<27> 한편, 상술한 WRR 셀 스케줄링 방법에 대해 설명하면, 상기 WRR 셀 스케줄링 방법은 각각의 링크마다 호 설정시 미리 정해진 가중치에 의해 셀을 스케줄링하게 된다. 이때, 가중치를 결정하는 기준은 각 링크의 평균 데이터 발생률이며, 이것은 최대 셀 발생률이나 평균 셀 발생률 등을 통해서 얻을 수 있다.

<28> 그러나, 상기와 같은 방식으로 ATM 셀 스케줄링을 하게 되면, CBR(Constant Bit Rate) 트래픽과 같이 셀의 발생률이 일정한 트래픽은 서비스 품질을 보장받을 수 있지만, VBR(Variable Bit Rate) 트래픽과 같이 셀의 발생률이 일정하지 않고 가변적인 트래픽의 경우에는 서비스 품질을 보장받기 어려울 뿐만 아니라, 망의 대역폭을 효율적으로 사용하기도 어렵다. 또한, 상기 WRR 셀 스케줄링 방식은 어떤 연결이 계속해서 평균 전송률보다 많은 셀을 전송할 때 다음 연결에 영향을 미치게 되어 각각의 연결에 대한 독립성을 보장하기 힘들게 된다.

<29> 따라서, 상술한 WRR 셀 스케줄링 방법 및 DRR 셀 스케줄링 방법은 대역폭을 공정하게 할당하는 공정성(Fairness) 측면에서는 많은 연구가 진행되어 왔지만, 대부분 지연 문제를 간과하고 있을 뿐만 아니라 구현이 용이하지 못해 실시간성을 요구하는 VTOA와 같은 ATM에 적용하기에는 어려움이 많았다. 또한, 상술한 WRR 셀 스케줄링 방법 및 DRR 셀 스케줄링 방법은 CTD(Cell Transfer Delay)와 같은 지연 파라미터를 고려한 폐기 알고리즘을 도입하고 있지 않기 때문에 이들을 ATM 셀 스케줄링에 적용했을 경우 출력 링크의 과부하시 실시간 VTOA 서비스를 지원하지 못하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<30> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 이루어진 것으로서, 본 발명의 목적은 ATM 교환기에서의 고속 실시간 트래픽에 대한 셀 전송 지연 요구사항을 만족시킴과 동시에 프로세싱 오버헤드를 최소화시켜 주는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치 및 방법을 제공하는 데 있다.

<31> 상기와 같은 목적을 달성하기 위하여 본 발명 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치는, 고속의 ATM 셀 그룹을 순서대로 저장하는 다수개의 입력 버퍼;

- <32> 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 일정 간격의 그룹으로 묶은 후 상기 다수개의 입력 버퍼에 저장하는 큐잉 모듈;
- <33> 상기 다수개의 입력 버퍼에 각각 할당되어 접속되며, 상기 다수개의 입력 버퍼에 저장되어 있는 다수개의 ATM 셀 그룹에 대한 셀 스케줄링 정보를 저장하여 관리하는 ATM 셀 스케줄링 테이블;
- <34> 상기 다수개의 입력 버퍼에 저장된 ATM 셀 그룹을 상기 셀 스케줄링 테이블 내 셀 스케줄링 정보 및 미리 셋팅된 가중치(w_i)를 이용하여 전송 처리하는 ATM 처리부;
- <35> 상기 다수개의 입력 버퍼에 각각 접속되어, 상기 다수개의 입력 버퍼로부터 다수개의 ATM 셀을 입력받음과 동시에 그 다수개의 ATM 셀을 단일 출력신호로 출력하는 믹스; 및
- <36> 상기 믹스로부터 ATM 셀 신호를 입력받은 후 출력 대기시간 동안 임시로 저장하는 출력 버퍼로 구성된 것을 특징으로 한다.
- <37> 또한, 본 발명 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 방법은, 큐잉 모듈이 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 다수개의 입력 버퍼중 해당 입력 버퍼에 저장하는 제 1 단계;
- <38> 상기 ATM 처리부가 상기 입력 버퍼에 저장된 다수개의 셀들을 일정 주기로 그룹화시켜 묶은 후, 그 임의의 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 임의

의 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 ATM 셀 스케줄링 테이블에 저장하는 제 2 단계;

<39> 상기 ATM 처리부가 상기 입력 버퍼에 저장된 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블의 정보를 이용하여 인식하는 제 3 단계;

<40> 상기 ATM 처리부가 상기 입력 버퍼에 저장된 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')과 상기 입력 버퍼가 요구하는 허용 지연시간(D_i)을 산출하는 제 4 단계;

<41> 상기 ATM 처리부가 상기 ATM 셀 스케줄링 테이블에 저장된 상기 입력 버퍼내 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는 ATM 셀 스케줄링 정보와 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD') 및 상기 입력 버퍼가 요구하는 허용 지연시간(D_i) 정보를 이용하여, 그 최초 셀 그룹의 셀 전송 스케줄링을 어떻게 처리해야 되는지의 여부를 판단하는 제 5 단계;

<42> 상기 제 5 단계에서 현재 서비스 받는 셀 그룹내 셀 수가 가중치(w_i)보다 크고 동시에 허용 주기(c_j)가 '0'이 아니면, 상기 ATM 처리부가 그 서비스 받을 셀 그룹내 셀을 가중치(w_i)만큼 먹스를 통해 출력 버퍼로 전송하는 제 6 단계;
및

<43> 상기 ATM 처리부가 상기 ATM 셀 스케줄링 테이블의 정보를 현재 진행된 셀 그룹 전송처리 동작에 맞도록 업데이트시킨 후 리턴하는 제 7 단계로 이루어진 것을 특징으로 한다.

【발명의 구성 및 작용】

<44> 이하, 본 발명의 일 실시예에 의한 I M T-2000 시스템내 A T M 교환기에
서의 D B W R R 셀 스케줄링 장치 및 방법에 대하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.

<45> 도 3은 본 발명의 일 실시예에 의한 I M T-2000 시스템내 A T M 교환기에
서의 D B W R R 셀 스케줄링 장치의 기능블록도로서, 본 발명의 일 실시예에 의한 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 장치는 다수개의 입력 버퍼(100), 큐잉 모듈(200), ATM 셀 스케줄링 테이블(300), ATM 처리부(400), 맥스(500), 및 출력 버퍼(600)로 구성되어 있다.

<46> 상기 다수개의 입력 버퍼(100)는 상기 큐잉 모듈(200)에서 라이트(Write)한 고속의 ATM 셀 그룹을 순서대로 저장하는 메모리(Memory)이다.

<47> 또한, 상기 큐잉 모듈(200)은 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받으면, 그 ATM 셀들을 일정 간격의 그룹으로 묶은 후 상기 다수개의 입력 버퍼(100)에 저장하는 역할을 한다.

<48> 한편, 상기 ATM 셀 스케줄링 테이블(300)은 상기 다수개의 입력 버퍼에 각각 할당되어 접속되며, 상기 다수개의 입력 버퍼(100)에 저장되어 있는 다수개의

ATM 셀 그룹에 대한 셀 스케줄링 정보를 저장하여 관리하는 테이블로써, 다수개의 ATM 셀 스케줄링 저장영역(310)으로 구성되어 있다.

<49> 이때, 상기 ATM 셀 스케줄링 테이블(300)내 다수개의 ATM 셀 스케줄링 저장영역(310)은 상기 입력 버퍼(100)에 저장된 한 개의 ATM 셀 그룹에 대한 셀 스케줄링 정보를 저장하여 관리하는 영역으로써, 인덱스(Index) 영역(311), 셀 갯수 영역(312), 허용주기 영역(313), 및 예비 카운터 저장영역(314)으로 각각 구성되어 있다.

<50> 상기 다수개의 ATM 셀 스케줄링 저장영역(310)내에 각각 존재하는 인덱스 영역(311)은 상기 ATM 셀 스케줄링 저장영역(310)의 인덱스값을 저장하는 영역이다.

<51> 또한, 상기 다수개의 ATM 셀 스케줄링 저장영역(310)내에 각각 존재하는 셀 갯수 영역(312)은 상기 입력 버퍼(100)에 저장된 임의의 ATM 셀 그룹내 ATM 셀의 갯수를 저장하는 영역이다.

<52> 한편, 상기 다수개의 ATM 셀 스케줄링 저장영역(310)내에 각각 존재하는 허용주기 영역(313)은 상기 입력 버퍼(100)에 저장된 임의의 ATM 셀 그룹의 허용주기를 저장하는 영역이다.

<53> 또한, 상기 다수개의 ATM 셀 스케줄링 저장영역(310)내에 각각 존재하는 예비 카운터 저장영역(314)은 상기 입력 버퍼(100)에 저장된 임의의 ATM 셀 그룹의 예비 카운터(RC : Reserved Counter) 값을 저장하는 영역이다.

- <54> 한편, 상기 ATM 처리부(400)는 상기 다수개의 입력 버퍼(100)에 저장된 ATM 셀 그룹을 상기 셀 스케줄링 테이블(300)내 셀 스케줄링 정보 및 미리 셋팅된 가중치(w_i)를 이용하여 상기 맥스(500)로 전송 처리하는 역할을 한다.
- <55> 또한, 상기 맥스(500)는 상기 다수개의 입력 버퍼(100)의 신호 출력단에 각각 접속되어, 상기 다수개의 입력 버퍼(100)로부터 다수개의 ATM 셀을 입력받음과 동시에 그 다수개의 ATM 셀을 단일 출력신호로 상기 출력 버퍼(600)로 출력하는 역할을 한다.
- <56> 한편, 상기 출력 버퍼(600)는 상기 맥스(500)로부터 ATM 셀 신호를 입력받은 후 출력 대기시간 동안 임시로 저장하는 메모리이다.
- <57> 그러면, 상기와 같은 구성을 가지는 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 장치를 이용한 본 발명의 일 실시예에 의한 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 방법에 대해서도 4, 도 5를 참조하여 설명하기로 한다.
- <58> 도 4는 본 발명의 일 실시예에 의한 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 방법을 나타내는 동작플로우차트이다.
- <59> 먼저, 하기의 설명에서는 도 5에 도시된 바와 같은 4가지의 경우를 예를 들어 설명하기로 하며, 셀 그룹의 허용 주기(c_j)는 '3'으로 가정하고, 가중치(w_i)는 '4'로 가정한다.

<60> 최초로, 상기 큐잉 모듈(200)은 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 다수개의 입력 버퍼(100)중 해당 입력 버퍼(100)에 저장한다(S1).

<61> 그러면, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 다수개의 셀들을 일정 주기로 그룹화시켜 묶은 후, 그 임의의 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 임의의 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블(300)에 저장한다(S2). 여기서, 첫 번째 셀 그룹의 갯수는 도 5의 (a)와 같이 4개이고, 그 첫 번째 셀 그룹의 허용 주기는 '2'이며, 그 첫 번째 셀 그룹에 해당되는 예비 카운터 값(RC_j)은 '0'이다. 따라서, 상기 ATM 처리부(400)는 도 5의 (a)와 같이 첫 번째 ATM 셀 스케줄링 저장영역(310)내 인덱스 영역(311)에 '1'을 기재함과 동시에 상기 셀 갯수 영역(312)에 '4'를 기재하고, 상기 허용주기 영역(313)에 '3'을 기재함과 동시에 상기 예비 카운터 저장 영역(314)에 '0'을 기재한다.

<62> 그런후, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 최초의 셀 그룹에 해당하는 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블(300)의 정보를 이용하여 인식한다(S3).

<63> 이어서, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')을 하기의 [수학

식 1]을 이용하여 산출함과 동시에 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i)을 하기의 [수학식 2]를 이용하여 산출한다(S4).

<64> **【수학식 1】** $QD' = (k - c_1)W - (RC - RC_1)$

<65> 여기서, 상기 k 는 ATM 셀 그룹내 셀들이 처리되어야 되는 주기를 의미하고, 상기 c_1 은 현재 서비스 받는 셀 그룹의 허용 주기를 의미하며, 상기 W 는 모든 입력 버퍼의 가중치에 해당하는 셀을 처리하는데 걸리는 시간(10δ)을 의미하고, 상기 RC 는 ATM 셀 그룹이 입력 버퍼에 도착했을 때의 예비 카운트값을 의미하며, 상기 RC_1 은 ATM 셀 그룹의 첫 번째 셀이 도착했을 때의 예비 카운트값을 의미한다.

<66> **【수학식 2】** $D_i = kW + \alpha$

<67> 여기서, 상기 k 는 ATM 셀 그룹내 셀들이 처리되어야 되는 주기를 의미하고, 상기 W 는 모든 입력 버퍼의 가중치에 해당하는 셀을 처리하는데 걸리는 시간(10δ)을 의미한다.

<68> 그런후, 상기 ATM 처리부(400)는 상기 ATM 셀 스케줄링 테이블(300)에 저장된 상기 입력 버퍼(100)내 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는 ATM 셀 스케줄링 정보와 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD') 및 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i) 정보를 이용하여, 그 최초 셀 그룹의 셀 전송 스케줄링을 어떻게 처리해야 되는지의 여부를 판단한다(S5).

<69> 이때, 도 5의 (a) 경우는 현재 서비스 받는 셀 그룹내 셀 수가 가중치(w_i)보다 크고 동시에 허용 주기(c_j)가 '0'이 아님으로 제 6 단계(S6)에 해당되고, 이로인해 상기 ATM 처리부(400)는 그 서비스 받을 셀 그룹내 셀을 가중치(w_i)인 4개 만큼 먹스(500)를 통해 출력 버퍼(600)로 전송한다(S6). 따라서, 도 5의 (a) 경우는 모든 셀이 서비스받게 되는 것이다.

<70> 그런후, 상기 ATM 처리부(400)는 상기 ATM 셀 스케줄링 테이블(300)의 정보를 현재 진행된 셀 그룹 전송처리 동작에 맞도록 업데이트시킨 후 리턴한다(S7).

<71> 한편, 상기 큐잉 모듈(200)은 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 다수개의 입력 버퍼(100)중 해당 입력 버퍼(100)에 또다시 저장한다(S1).

<72> 그러면, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 다수개의 셀들을 일정 주기로 그룹화시켜 묶은 후, 그 임의의 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 임의의 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기

ATM 셀 스케줄링 테이블(300)에 저장한다(S2). 여기서, 첫 번째 셀 그룹의 갯수는 도 5의 (b)와 같이 5개이고, 그 첫 번째 셀 그룹의 허용 주기는 '2'이며, 그 첫 번째 셀 그룹에 해당되는 예비 카운터 값(RC_j)은 '0'이다. 따라서, 상기 ATM 처리부(400)는 도 5의 (b)와 같이 첫 번째 ATM 셀 스케줄링 저장영역(310)내 인덱스 영역(311)에 '1'을 기재함과 동시에 상기 셀 갯수 영역(312)에 '5'를 기재하고, 상기 허용주기 영역(313)에 '2'을 기재함과 동시에 상기 예비 카운터 저장 영역(314)에 '0'을 기재한다.

<73> 그런후, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 최초의 셀 그룹에 해당하는 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블(300)의 정보를 이용하여 인식한다(S3).

<74> 이어서, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')을 하기의 [수학식 1]을 이용하여 산출하는 한편, 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i)을 하기의 [수학식 2]를 이용하여 산출한다(S4).

<75> 그런후, 상기 ATM 처리부(400)는 상기 ATM 셀 스케줄링 테이블(300)에 저장된 상기 입력 버퍼(100)내 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는 ATM 셀 스케줄링 정보와 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD') 및 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i) 정보

를 이용하여, 그 최초 셀 그룹의 셀 전송 스케줄링을 어떻게 처리해야 되는지의 여부를 판단한다(S5).

<76> 이때, 도 5의 (b) 경우는 전체의 서비스하는 동안 도착한 셀들이 하나의 그룹을 형성하고 그 그룹에 해당하는 셀의 갯수가 '5'인 경우이다. 따라서, 이 경우는 현재 서비스 받는 셀 그룹내 셀 수가 가중치(w_i)보다 크고 동시에 허용 주기(c_j)가 '0'이 아님으로 제 6 단계(S6)에 해당되고, 이로인해 상기 ATM 처리부(400)는 그 서비스 받을 셀 그룹내 셀을 가중치(w_i)인 4개 만큼 먹스(500)를 통해 출력 버퍼(600)로 전송한다(S6). 따라서, 도 5의 (b) 경우는 '5'개의 셀 중에서 '4'개의 셀만 서비스받게 되고, '1'개의 셀은 그대로 남게 된다.

<77> 그런후, 상기 ATM 처리부(400)는 도 5의 (c)에 도시된 첫 번째 ATM 셀 스케줄링 저장영역(310)과 같이 상기 ATM 셀 스케줄링 테이블(300)의 정보를 현재 진행된 셀 그룹 전송처리 동작에 맞도록 업데이트시킨 후 리턴한다(S7).

<78> 한편, 상기 큐잉 모듈(200)은 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 다수개의 입력 버퍼(100)중 해당 입력 버퍼(100)에 또다시 저장한다(S1).

<79> 그러면, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 다수개의 셀들을 일정 주기로 그룹화시켜 묶은 후, 그 임의의 셀 그룹의 셀 갯수(n_j), 허용 주

기(c_j), 및 임의의 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블(300)에 저장한다(S2). 여기서, 첫 번째 셀 그룹의 갯수는 도 5의 (c)와 같이 1개이고, 그 첫 번째 셀 그룹의 허용 주기는 '1'이며, 그 첫 번째 셀 그룹에 해당되는 예비 카운터 값(RC_j)은 '0'이다. 또한, 상기 입력 버퍼(100)에 저장된 두 번째 셀 그룹의 갯수는 도 5의 (c)와 같이 18개이고, 그 두 번째 셀 그룹의 허용 주기는 '2'이며, 그 두 번째 셀 그룹에 해당되는 예비 카운터 값(RC_j)은 '0'이다. 따라서, 상기 ATM 처리부(400)는 도 5의 (c)와 같이 두 번째 ATM 셀 스케줄링 저장영역(310)내 인덱스 영역(311)에 '2'를 기재함과 동시에 상기 셀 갯수 영역(312)에 '18'를 기재하고, 상기 허용주기 영역(313)에 '2'를 기재함과 동시에 상기 예비 카운터 저장영역(314)에 '0'을 기재한다.

<80> 그런후, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 첫 번째 및 두 번째 셀 그룹에 해당하는 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블(300)의 정보를 이용하여 인식한다(S3).

<81> 이어서, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')을 하기의 [수학식 1]을 이용하여 산출하는 한편, 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_j)을 하기의 [수학식 2]를 이용하여 산출한다(S4).

<82> 그런후, 상기 ATM 처리부(400)는 상기 ATM 셀 스케줄링 테이블(300)에 저장된 상기 입력 버퍼(100)내 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는

ATM 셀 스케줄링 정보와 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD') 및 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i) 정보를 이용하여, 그 최초 셀 그룹의 셀 전송 스케줄링을 어떻게 처리해야 되는지의 여부를 판단한다(S5).

<83> 이때, 도 5의 (c) 경우는 두 개의 그룹이 존재하는 경우이다. 첫 번째 그룹은 원래 셀 수가 5개였지만 4개는 서비스를 받았고 1개만 남은 상태이고, 두 번째 그룹은 모두 QD'가 D_i 보다 작고 버퍼에 쌓인 총 셀의 갯수가 19개이므로 도 4의 제 9 단계(S9)에 해당된다. 따라서, 상기 ATM 처리부(400)는 그 첫 번째 셀 그룹내 셀 모두를 서비스함과 동시에 다음 셀 그룹내 셀도 남은 가중치(w_i)만큼 서비스한다(S9). 그러므로, 도 5의 (c) 경우는 첫 번째 셀 그룹내 '1'개의 셀이 서비스 받음과 동시에 두 번째 셀 그룹내 '3'개의 셀만 서비스받게 된다.

<84> 그런후, 상기 ATM 처리부(400)는 도 5의 (d)에 도시된 첫 번째 ATM 셀 스케줄링 저장영역(310)과 같이 상기 ATM 셀 스케줄링 테이블(300)의 정보를 현재 진행된 셀 그룹 전송처리 동작에 맞도록 업데이트시킨 후 리턴한다(S7).

<85> 한편, 상기 큐잉 모듈(200)은 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 다수개의 입력 버퍼(100)중 해당 입력 버퍼(100)에 또다시 저장한다(S1).

<86> 그러면, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 다수개의 셀들을 일정 주기로 그룹화시켜 묶은 후, 그 임의의 셀 그룹의 셀 갯수(n_j), 허

용 주기(c_j), 및 임의의 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블(300)에 저장한다(S2). 여기서, 첫 번째 셀 그룹의 갯수는 도 5의 (d)와 같이 15개이고, 그 첫 번째 셀 그룹의 허용 주기는 '1'이며, 그 첫 번째 셀 그룹에 해당되는 예비 카운터 값(RC_j)은 '0'이다. 또한, 상기 입력 버퍼(100)에 저장된 두 번째 셀 그룹의 갯수는 도 5의 (d)와 같이 14개이고, 그 두 번째 셀 그룹의 허용 주기는 '2'이며, 그 두 번째 셀 그룹에 해당되는 예비 카운터 값(RC_j)은 '0'이다. 따라서, 상기 ATM 처리부(400)는 도 5의 (d)와 같이 두 번째 ATM 셀 스케줄링 저장영역(310)내 인덱스 영역(311)에 '2'를 기재함과 동시에 상기 셀 갯수 영역(312)에 '14'를 기재하고, 상기 허용주기 영역(313)에 '2'를 기재함과 동시에 상기 예비 카운터 저장영역(314)에 '0'을 기재한다.

<87> 그런후, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 첫 번째 및 두 번째 셀 그룹에 해당하는 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블(300)의 정보를 이용하여 인식한다(S3).

<88> 이어서, 상기 ATM 처리부(400)는 상기 입력 버퍼(100)에 저장된 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')을 하기의 [수학식 1]을 이용하여 산출하는 한편, 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i)을 하기의 [수학식 2]를 이용하여 산출한다(S4).

<89> 그런후, 상기 ATM 처리부(400)는 상기 ATM 셀 스케줄링 테이블(300)에 저장된 상기 입력 버퍼(100)내 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는

ATM 셀 스케줄링 정보와 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD') 및 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i) 정보를 이용하여, 그 최초 셀 그룹의 셀 전송 스케줄링을 어떻게 처리해야 되는지의 여부를 판단한다(S5).

<90> 이때, 도 5의 (d) 경우는 두 개의 그룹이 존재하는 경우이며, 첫 번째 그룹의 셀 수가 가중치(w_i)보다 많지만 QD' 가 D_i 보다 작기 때문에 도 4의 제 9 단계(S9)에 해당되고, 이로인해 상기 ATM 처리부(400)는 그 첫 번째 셀 그룹을 가중치(w_i)만큼만 서비스한다(S9). 따라서, 도 5의 (d) 경우는 첫 번째 셀 그룹내 '4'개의 셀만 서비스 받게 된다.

<91> 그런후, 상기 ATM 처리부(400)는 상기 ATM 셀 스케줄링 테이블(300)의 정보를 현재 진행된 셀 그룹 전송처리 동작에 맞도록 업데이트시킨 후 리턴한다(S7).

<92> 한편, 상술한 스케줄링 경우 이외의 경우를 도 4를 참조하여 살펴보면, 제 8, 10, 11, 12 단계(S8, S10, S11, S12)와 같은 경우들이 있다.

<93> 먼저, 상기 제 8 단계(S8)는 상기 제 5 단계(S5)에서 현재 서비스 받는 셀 그룹내 셀 수가 가중치(w_i)보다 크고 동시에 허용 주기(c_j)가 '0'인 경우로써, 이때 상기 ATM 처리부(400)는 그 서비스 받을 셀 그룹내 셀을 '가중치(w_i) + 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)'만큼 맥스(500)를 통해 출력 버퍼(600)로 전송한 후 상기 제 7 단계(S7)로 진행한다(S8).

<94> 반면에, 상기 제 10 단계(S10)는 상기 제 5 단계(S5)에서 현재 서비스 받은 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')이 상기 입력 버퍼(100)가 스위치에 요구하는 허용 지연시간(D_i)을 초과함과 동시에 그 다음으로 서비스 받을 셀 그룹내 셀 수가 가중치(w_i)보다 크고 허용 주기(c_j)가 '0'이 아닌 경우로써, 이때 상기 ATM 처리부(400)는 현재 서비스 받을 셀 그룹내 모든 셀들을 폐기시킴과 동시에 그 다음 그룹내 셀을 가중치(w_i)만큼 맥스(500)를 통해 출력 버퍼(600)로 전송한 후 상기 제 7 단계(S7)로 진행한다(S10).

<95> 한편, 상기 제 11 단계(S11)는 상기 제 5 단계(S5)에서 현재 서비스 받은 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')이 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i)을 초과함과 동시에 그 다음으로 서비스 받을 셀 그룹내 셀 수가 가중치(w_i)보다 크고 허용 주기(c_j)가 '0'인 경우로써, 이때 상기 ATM 처리부(400)는 현재 서비스 받을 셀 그룹내 모든 셀들을 폐기시킴과 동시에 그 다음 그룹내 셀을 '가중치(w_i) + 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)'만큼 맥스(500)를 통해 출력 버퍼(600)로 전송한 후 상기 제 7 단계(S7)로 진행한다(S11).

<96> 또한, 상기 제 12 단계(S12)는 상기 제 5 단계(S5)에서 현재 서비스 받은 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')이 상기 입력 버퍼(100)가 요구하는 허용 지연시간(D_i)을 초과함과 동시에 그 다음으로 서비스 받을 셀 그룹내 셀 수가 가중치(w

i)보다 적은 경우로써, 이때 상기 ATM 처리부(400)는 현재 서비스 받을 셀 그룹 내 모든 셀들을 폐기시킴과 동시에 그 다음 그룹내 셀을 모두 서비스하고, 이후 그 다음 셀 그룹내 셀도 남은 가중치(w_i)만큼 서비스한 후 상기 제 7 단계(S7)로 진행한다(S12).

【발명의 효과】

<97> . 상술한 바와 같이 본 발명에 의한 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치 및 방법에 의하면, 각 링크의 입력 버퍼로 들어오는 셀들을 ATM 스케줄링 주기에 따라 링크별로 그룹화하여 관리해 줌으로써 셀 단위로 관리하는 종래 WRR/DRR 셀 스케줄링 방식에 비해 프로세싱 오버헤드를 줄일 수 있고, 그 뿐만 아니라 입력 버퍼에 저장된 셀중에서 입력 버퍼에서의 대기시간이 셀 전송 지연을 초과한 셀들에 대해 폐기 처분해 줌으로써 다른 셀들이 셀 전송 지연 요구사항을 위반하게 될 확률을 줄여주며, 이로인해 결과적으로 불필요한 자원낭비를 방지할 수 있도록 해준다는 뛰어난 효과가 있다.

【특허청구범위】**【청구항 1】**

고속의 ATM 셀 그룹을 순서대로 저장하는 다수개의 입력 버퍼;

시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 일정 간격의 그룹으로 묶은 후 상기 다수개의 입력 버퍼에 저장하는 큐잉 모듈;

상기 다수개의 입력 버퍼에 각각 할당되어 접속되며, 상기 다수개의 입력 버퍼에 저장되어 있는 다수개의 ATM 셀 그룹에 대한 셀 스케줄링 정보를 저장하여 관리하는 ATM 셀 스케줄링 테이블;

상기 다수개의 입력 버퍼에 저장된 ATM 셀 그룹을 상기 셀 스케줄링 테이블내 셀 스케줄링 정보 및 미리 셋팅된 가중치(w_i)를 이용하여 전송 처리하는 ATM 처리부;

상기 다수개의 입력 버퍼에 각각 접속되어, 상기 다수개의 입력 버퍼로부터 다수개의 ATM 셀을 입력받음과 동시에 그 다수개의 ATM 셀을 단일 출력신호로 출력하는 믹스; 및

상기 믹스로부터 ATM 셀 신호를 입력받은 후 출력 대기시간 동안 임시로 저장하는 출력 버퍼로 구성된 것을 특징으로 하는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치.

【청구항 2】

제 1항에 있어서,

상기 ATM 셀 스케줄링 테이블은, 상기 입력 버퍼에 저장된 한 개의 ATM 셀 그룹에 대한 셀 스케줄링 정보를 저장하여 관리하는 다수개의 ATM 셀 스케줄링 저장영역으로 구성된 것을 특징으로 하는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치.

【청구항 3】

제 2항에 있어서,

상기 다수개의 ATM 셀 스케줄링 저장영역은, 상기 ATM 셀 스케줄링 저장영역의 인덱스값을 저장하는 인덱스 영역;

상기 입력 버퍼에 저장된 임의의 ATM 셀 그룹내 ATM 셀의 갯수를 저장하는 셀 갯수 영역;

상기 입력 버퍼에 저장된 임의의 ATM 셀 그룹의 허용 주기를 저장하는 허용주기 영역; 및

상기 입력 버퍼에 저장된 임의의 ATM 셀 그룹의 예비 카운터(RC) 값을 저장하는 예비 카운터 저장영역으로 각각 구성된 것을 특징으로 하는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 장치.

【청구항 4】

큐잉 모듈이 시스템 전단 블록으로부터 고속의 ATM 셀을 수신받음과 동시에 다수개의 입력 버퍼중 해당 입력 버퍼에 저장하는 제 1 단계;

상기 ATM 처리부가 상기 입력 버퍼에 저장된 다수개의 셀들을 일정 주기로 그룹화시켜 묶은 후, 그 임의의 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 임의의 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 ATM 셀 스케줄링 테이블에 저장하는 제 2 단계;

상기 ATM 처리부가 상기 입력 버퍼에 저장된 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는 셀 그룹의 셀 갯수(n_j), 허용 주기(c_j), 및 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)을 상기 ATM 셀 스케줄링 테이블의 정보를 이용하여 인식하는 제 3 단계;

상기 ATM 처리부가 상기 입력 버퍼에 저장된 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')과 상기 입력 버퍼가 요구하는 허용 지연시간(D_i)을 산출하는 제 4 단계;

상기 ATM 처리부가 상기 ATM 셀 스케줄링 테이블에 저장된 상기 입력 버퍼내 다수개의 셀 그룹중에서 최초의 셀 그룹에 해당하는 ATM 셀 스케줄링 정보와 최초의 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD') 및 상기 입력 버퍼가 요구하는 허용 지연시간(D_i) 정보를 이용하여, 그 최초 셀 그룹의 셀 전송 스케줄링을 어떻게 처리해야 되는지의 여부를 판단하는 제 5 단계;

상기 제 5 단계에서 현재 서비스 받는 셀 그룹내 셀 수가 가중치(w_i)보다 크고 동시에 허용 주기(c_j)가 '0'이 아니면, 상기 ATM 처리부가 그 서비스 받을

셀 그룹내 셀을 가중치(w_i)만큼 먹스를 통해 출력 버퍼로 전송하는 제 6 단계;
및

상기 ATM 처리부가 상기 ATM 셀 스케줄링 테이블의 정보를 현재 진행된 셀 그룹 전송처리 동작에 맞도록 업데이트시킨 후 리턴하는 제 7 단계로 이루어진 것을 특징으로 하는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 방법.

【청구항 5】

제 4항에 있어서,

상기 제 5 단계에서 현재 서비스 받는 셀 그룹내 셀 수가 가중치(w_i)보다 크고 동시에 허용 주기(c_j)가 '0'이면, 상기 ATM 처리부가 그 서비스 받을 셀 그룹내 셀을 '가중치(w_i) + 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)'만큼 먹스를 통해 출력 버퍼로 전송한 후 상기 제 7 단계로 진행하는 제 8 단계를 추가로 포함시킴을 특징으로 하는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 방법.

【청구항 6】

제 4항에 있어서,

상기 제 5 단계에서 현재 서비스 받는 셀 그룹내 셀 수가 가중치(w_i)보다 적으면, 상기 ATM 처리부가 그 서비스 받을 셀 그룹내 셀 모두를 서비스함과 동

시에 다음 셀 그룹내 셀도 남은 가중치(w_i)만큼 서비스한 후 상기 제 7 단계로 진행하는 제 9 단계를 추가로 포함시킴을 특징으로 하는 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 방법.

【청구항 7】

제 4항에 있어서,

상기 제 5 단계에서 현재 서비스 받은 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')이 상기 입력 버퍼가 스위치에 요구하는 허용 지연시간(D_i)을 초과함과 동시에 그 다음으로 서비스 받을 셀 그룹내 셀 수가 가중치(w_i)보다 크고 허용 주기(c_j)가 '0'이 아니면, 상기 ATM 처리부가 현재 서비스 받을 셀 그룹내 모든 셀들을 폐기시킴과 동시에 그 다음 그룹내 셀을 가중치(w_i)만큼 먹스를 통해 출력 버퍼로 전송한 후 상기 제 7 단계로 진행하는 제 10 단계를 추가로 포함시킴을 특징으로 하는 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 방법.

【청구항 8】

제 4항에 있어서,

상기 제 5 단계에서 현재 서비스 받은 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')이 상기 입력 버퍼가 요구하는 허용 지연시간(D_i)을 초과함과 동시에 그 다음으로 서비스 받을 셀 그룹내 셀 수가 가

중치(w_i)보다 크고 허용 주기(c_j)가 '0'이면, 상기 ATM 처리부가 현재 서비스 받을 셀 그룹내 모든 셀들을 폐기시킴과 동시에 그 다음 그룹내 셀을 '가중치(w_i) + 셀 그룹내 첫 셀이 도착한 예비 카운터 값(RC_j)'만큼 먹스를 통해 출력 버퍼로 전송한 후 상기 제 7 단계로 진행하는 제 11 단계를 추가로 포함시킴을 특징으로 하는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 방법.

【청구항 9】

제 4항에 있어서,

상기 제 5 단계에서 현재 서비스 받은 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')이 상기 입력 버퍼가 요구하는 허용 지연시간(D_i)을 초과함과 동시에 그 다음으로 서비스 받을 셀 그룹내 셀 수가 가중치(w_i)보다 적으면, 상기 ATM 처리부가 현재 서비스 받을 셀 그룹내 모든 셀들을 폐기시킴과 동시에 그 다음 그룹내 셀을 모두 서비스하고, 이후 그 다음 셀 그룹내 셀도 남은 가중치(w_i)만큼 서비스한 후 상기 제 7 단계로 진행하는 제 12 단계를 추가로 포함시킴을 특징으로 하는 IMT-2000 시스템내 ATM 교환기에서의 DBWRR 셀 스케줄링 방법.

【청구항 10】

제 4항에 있어서,

상기 제 4 단계에서, 상기 ATM 처리부가 현재 서비스 받는 셀 그룹내 셀중에서 가장 먼저 도착한 셀이 요구하는 지연시간(QD')을 산출하는 방법은 하기 [수학식 1]을 이용하여 산출하는 것을 특징으로 하는 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 방법.

[수학식 1]

$$QD'=(k-c_1)W-(RC-RC_1)$$

여기서, 상기 k는 ATM 셀 그룹내 셀들이 처리되어야 되는 주기를 의미하고, 상기 c_1 은 현재 서비스 받는 셀 그룹의 허용 주기를 의미하며, 상기 W는 모든 입력 버퍼의 가중치에 해당하는 셀을 처리하는데 걸리는 시간(10δ)을 의미하고, 상기 RC는 ATM 셀 그룹이 입력 버퍼에 도착했을 때의 예비 카운트값을 의미하며, 상기 RC_1 은 ATM 셀 그룹의 첫 번째 셀이 도착했을 때의 예비 카운트값을 의미한다.

【청구항 11】

제 4항에 있어서,

상기 제 4 단계에서, 상기 ATM 처리부가 입력 버퍼가 요구하는 허용 지연시간(D_i)을 산출하는 방법은 하기 [수학식 2]를 이용하여 산출하는 것을 특징으로

로 하는 I M T-2000 시스템내 A T M 교환기에서의 D B W R R 셀 스케줄링 방법.

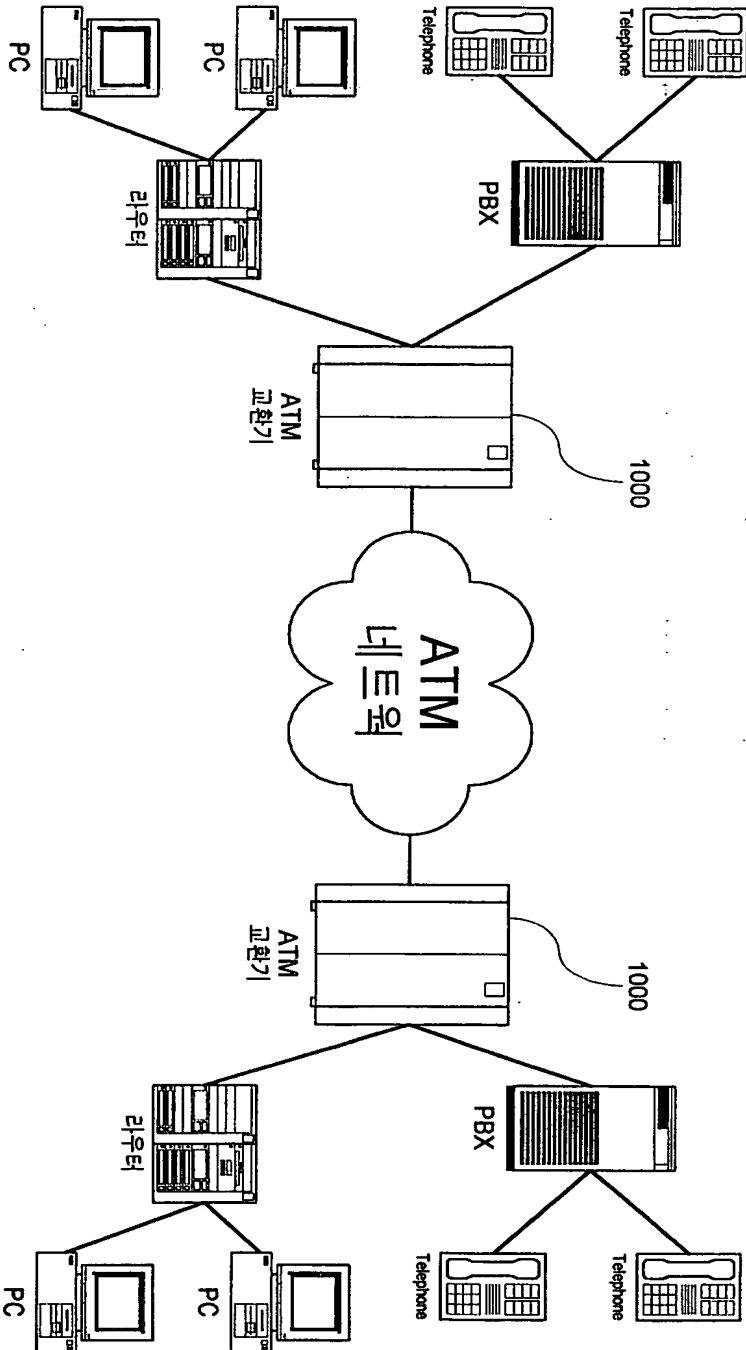
[수학식 2]

$$D_i = kW + \alpha$$

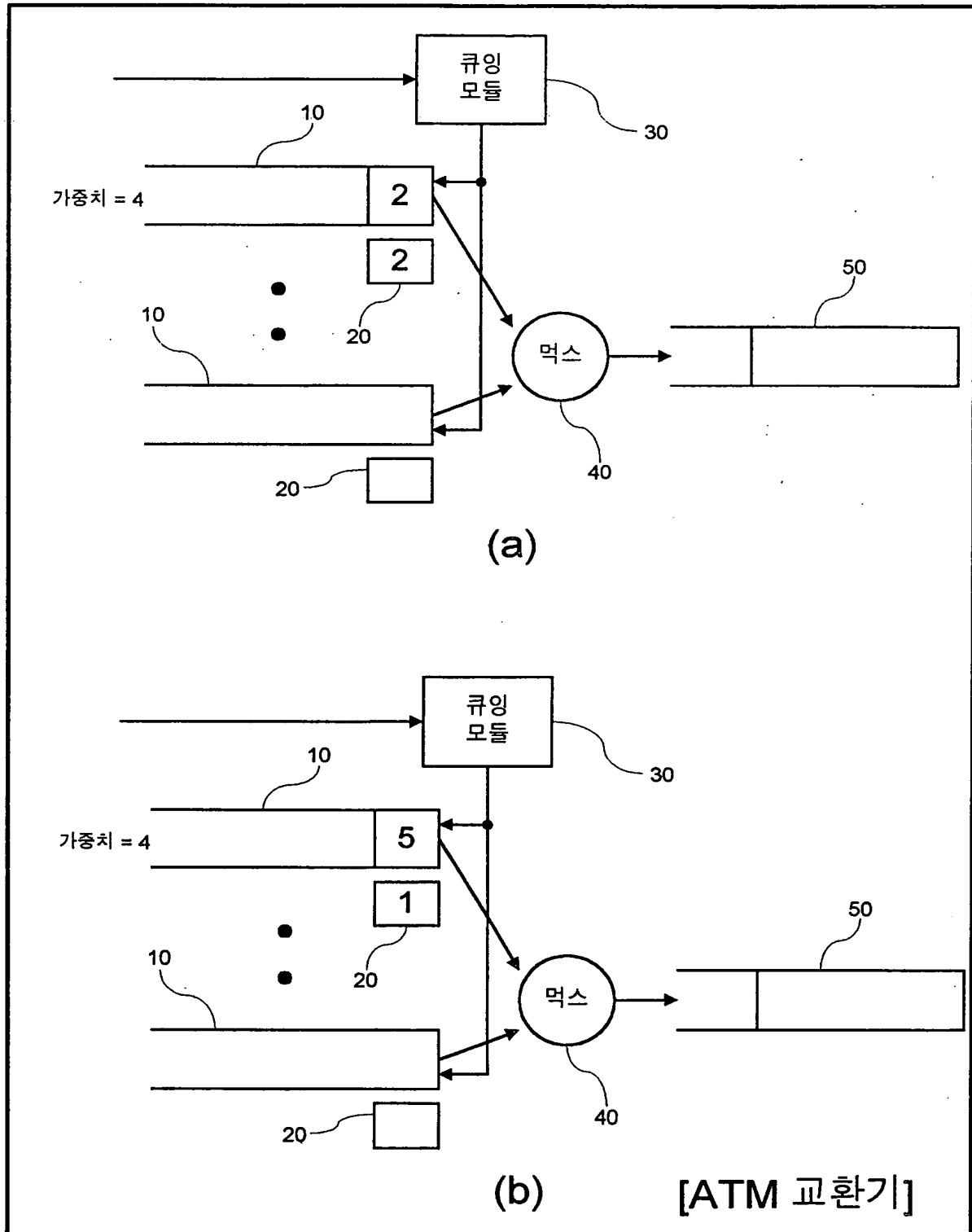
여기서, 상기 k는 ATM 셀 그룹내 셀들이 처리되어야 되는 주기를 의미하고, 상기 W는 모든 입력 버퍼의 가중치에 해당하는 셀을 처리하는데 걸리는 시간(10δ)을 의미한다.

【도면】

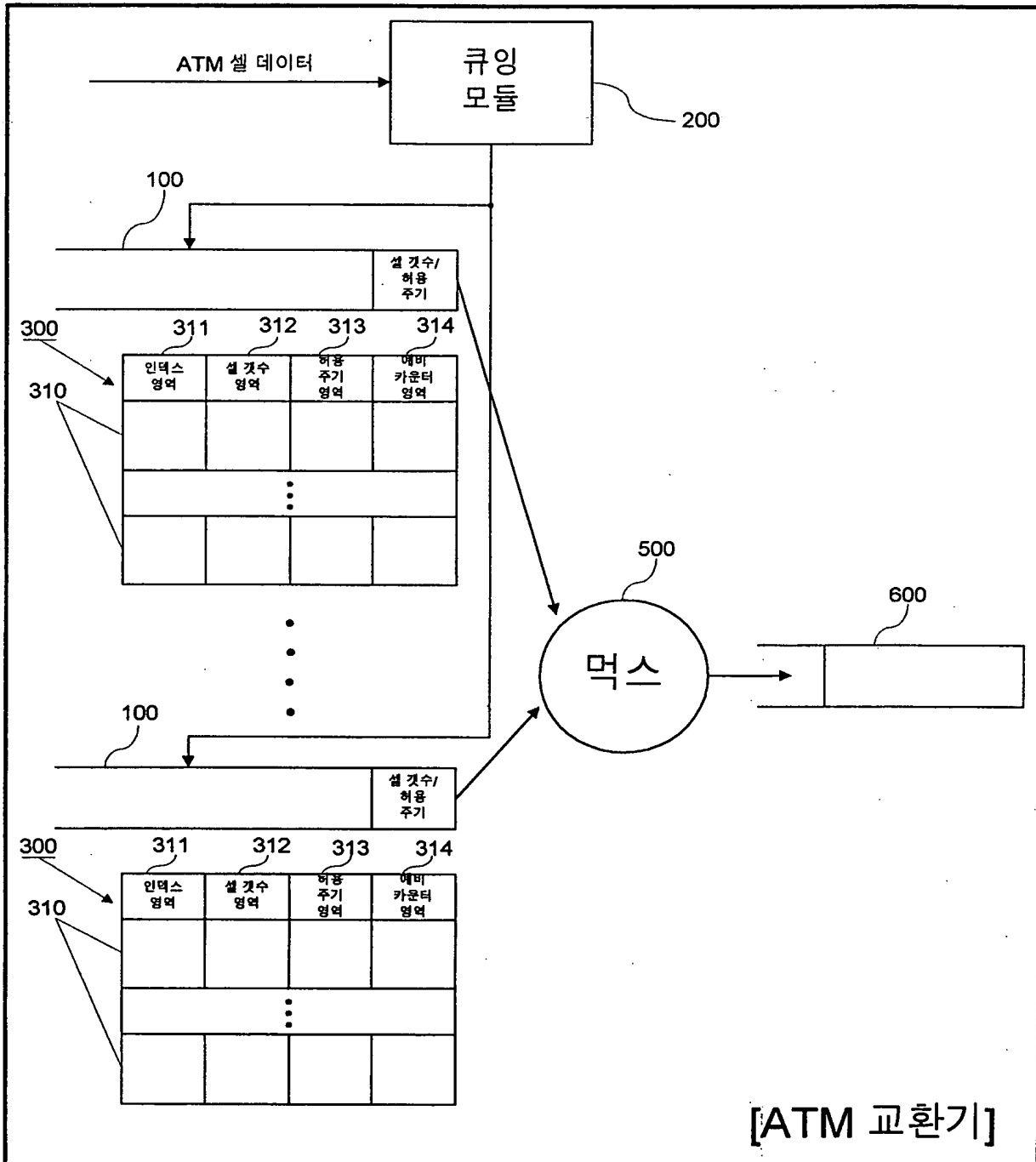
【도 1】



【도 2】



【도 3】



시작



【도 5】

